

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-229499

(43)Date of publication of application : 18.08.1992

(51)Int.Cl.

G11C 29/00  
G11C 11/413  
G11C 11/401

(21)Application number : 02-418754

(71)Applicant : TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 27.12.1990

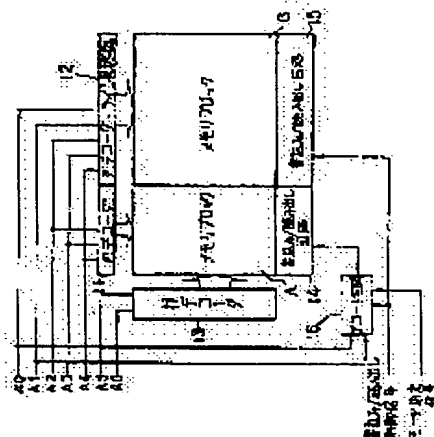
(72)Inventor : NOGAMI KAZUTAKA  
SHIRATORI TSUKASA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To simultaneously make an accurate test by copossessing a part of addresses with plural pieces of memory blocks and excluding the memory access to the memory block of the smaller address space at the time of a test mode.

**CONSTITUTION:** The selection of cell blocks is executed in correspondence to the memory blocks A, B at the time of the test mode for the respective memory blocks. Namely, the address scan of the memory block B is executed and the writing/reading out operations thereof are carried out if the address scan signal having the address width corresponding to the memory block B having the max. address space of two pieces of the memory blocks is inputted. The address scan of the memory block A is simultaneously executed and the writing/reading out operations thereof are carried out. The writing operation of the memory block A is automatically prohibited by a writing inhibition control signal in the period when the scan signal exceeds the address width of the memory blocks. The multiple access does not arise any more.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-229499

(43) 公開日 平成4年(1992)8月18日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00 11/413 11/401	3 0 3 B	8526-5L		
		7323-5L 8526-5L	G 1 1 C 11/ 34	3 0 2 A 3 7 1 A
審査請求 未請求 請求項の数6 (全 7 頁)				

(21) 出願番号 特願平2-418754

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 野上 一孝

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72) 発明者 白鳥 司

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

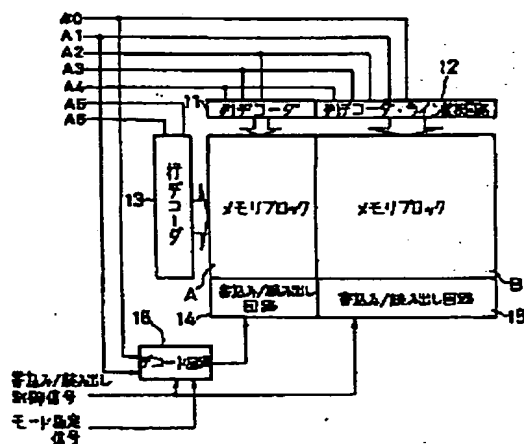
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 同一チップ上に混載された互いにアドレス空間が異なる複数のメモリブロックを同時に、かつ、テストベクタの発生あるいはB I S Tのためのテスト回路にも何らの負担をかけずに確度よくテストし得る半導体集積回路を提供する。

【構成】 互いにアドレス空間が異なる書き込み/読み出し可能な複数のメモリブロックおよびこれらのメモリブロックのアドレス選択を行うアドレスデコーダを有する半導体集積回路において、メモリブロックのテストモード時には、複数のメモリブロックでアドレスの一部を共有し、各メモリブロックのアドレススキャンを共通に行うアドレススキャン信号が、最大アドレス空間を有するメモリブロック以外のメモリブロックのアドレス幅を超える期間はこのメモリブロックの書き込みを禁止するように制御することとを特徴としている。



(2)

特開平4-229499

1

## 【特許請求の範囲】

【請求項1】 第1のアドレス空間を持つ書き込み/読み出し可能な第1のメモリブロックと、上記第1のアドレス幅よりも小さいアドレス空間を持ち、少なくともテストモード時に上記第1のメモリブロックとアドレスの一部を共有する書き込み/読み出し可能な少なくとも1個の第2のメモリブロックと、これらのメモリブロックのアドレス選択を行うアドレスデコーダと、上記テストモード時に上記各メモリブロックのアドレススキャンを共通に行うアドレススキャン信号が上記第2のメモリブロックのアドレス幅を越える期間に上記第2のメモリブロックの書き込みを禁止する制御回路を具備し、複数のメモリブロックの同時テストを可能としたことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記制御回路は、前記アドレススキャン信号の一部をデコードすることにより、このアドレススキャン信号が上記第2のメモリブロックのアドレス幅を越える期間を検知して書き込み禁止制御を行うことを特徴とする半導体集積回路。

【請求項3】 請求項1または2記載の半導体集積回路において、さらに、ロジック回路を内蔵することを特徴とする半導体集積回路。

【請求項4】 請求項1乃至3のいずれか1項記載の半導体集積回路において、前記第1のメモリブロックおよび第2のメモリブロックは通常動作時にもアドレスの一部を共有するキャッシュメモリであることを特徴とする半導体集積回路。

【請求項5】 請求項1乃至3のいずれか1項記載の半導体集積回路において、前記第1のメモリブロックおよび第2のメモリブロックは通常動作モード時にはそれぞれ別々のアドレス信号によりアドレス選択され、テストモード時には第1のメモリブロックのアドレススキャンを行うアドレススキャン信号の一部を選択して前記第2のメモリブロック用のアドレスデコーダに入力するアドレス選択回路を具備することを特徴とする半導体集積回路。

【請求項6】 請求項1乃至3のいずれか1項記載の半導体集積回路において、テストモード時にアドレススキャン信号を発生する自己テストアドレス発生回路と、テストモード時に上記アドレススキャン信号を選択して前記アドレスデコーダに入力するアドレス選択回路とを具備することを特徴とする半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路のテスト容易化回路に係り、例えばロジック回路に大容量メモリ回路を混載した集積回路に使用される。

【0002】

【従来の技術】 従来、同一チップ上に複数のメモリブ

2

ロックを混載した集積回路において、各メモリブロックのアドレスを共有するような構成（例えばキャッシュメモリ）、または、テスト回路等で各メモリブロックのアドレスを共有するような構成をとる場合がある。この場合、メモリ回路の機能をチェックするテスト時に、メモリブロックに起因する不良検出の確度を高め、かつ、効率化を上げる（テスト時間短縮等）ことが困難となっている。

【0003】 上記のような構成のメモリ回路をテストする手法は大きく二つに分類される。一つは、テスト等を用いて集積回路外部より必要な信号を与えてテストする方法であり、もう一つは、必要なテスト信号をデバイス自体で生成してテストを行うBIST（Built-In Self Testing）と呼ばれる方法である。このようなテストを行う場合、共有するアドレスを使って異なる複数のメモリを同時にテストすれば、テストの効率化を図ることができる。

【0004】 ところで、異なるメモリブロックのアドレス空間が必ずしも同一とは限らない場合も多々ある。そのような例は、例えば図6に示すキャッシュメモリのように、タグメモリA1とバリッドビットメモリA2と複数ラインを持つデータメモリBとの関係に見られる。ここで、61はアドレス信号A2～A4によりタグメモリA1の列アドレス選択を行う列デコーダ、62はアドレス信号A2～A4によりバリッドビットメモリA2の列アドレス選択を行う列デコーダ、63はアドレス信号A0～A4によりデータメモリBの列アドレス選択およびライン選択を行う列デコーダ・ライン選択回路、64はアドレス信号A5により各メモリブロックA1、A2、Bの行アドレス選択を共通に行う行デコーダである。各メモリブロックA1、A2、Bは、アドレス信号A0～A5の一部A2～A5を共有しており、メモリブロックA1、A2はメモリブロックBよりもアドレス信号の一部A1、A0の分だけアドレス空間が狭い。65はタグメモリA1用の書き込み/読み出し回路、66はバリッドビットメモリA2用の書き込み/読み出し回路、67はデータメモリB用の書き込み/読み出し回路である。68はタグアドレス入力とタグメモリA1から読み出されたタグデータとを比較し、さらに、バリッドビットメモリA2から読み出された1～4ビットのバリッドビットデータをチェックし、制御信号を出力する比較・論理回路、69はデータメモリBの複数ラインからそれぞれ読み出されたデータを上記比較・論理回路68からの制御信号に基づいて選択して出力するセレクト・バッファ回路である。

【0005】 上記したようなキャッシュメモリに対して、アドレス空間の大きいデータメモリBのアドレスに合わせてテストすると、タグメモリA1やバリッドビットメモリA2はデータメモリBの全アドレスを一順する間に複数回同一アドレスをアクセスすることになる。こ

(3)

特開平4-229499

のことは、単純なメモリテストにおいてはさほど問題にはならないが、メモリテストの精度を高めたテストを行う場合に問題になる。

【0006】図7(a)～(c)に、メモリテストで一般的に用いられるN系パターン(March)のベクトル例を示す。ここで、71はメモリブロックの大きさ、72はアドレスの進む方向を示している。

【0007】図7で示すメモリテストベクトルによって図6のキャッシュメモリをテストした場合、アドレス空間の小さいタグメモリA1やバリッドビットメモリA2におけるアドレス信号とセルブロック選択との関係を図8Aに示し、アドレス空間の大きいデータメモリBにおけるアドレス信号とセルブロック選択との関係を図8Bに示している。

【0008】図8Aから、アドレス空間の小さいメモリブロックA1、A2は、アドレス信号A1、A0が(00)の時にアクセスが行われた後にアドレス信号A1、A0が(01)(10)(11)へと変化した時にも同一セルへの多重アクセスが起こることが分る。即ち、アドレス空間の小さいメモリは、自身に関係しないアドレス(アドレス空間の大きいメモリのアドレス)をアクセスしている時に、同一メモリセルを複数回アクセスすることになる。この状況では、メモリ空間の小さいメモリの同一セルへ一回のシーケンスで複数回の書き込みが起こるので、読み出し出力が期待値と相違してしまう。

【0009】この状況を打開するためには、テストを使う場合、テストベクトルの工夫で対処できるが、通常はベタ書きのテストベクトルを使用するので、テストすべきメモリのアドレス空間に比例して膨大なベクタ数になり、現実的ではない。例えば8KバイトのメモリとしてN系のパターンで、単純に65Mバイトとなってしまう。そこで、テストでアドレスを自動的に発生する手法が一般的に採用されているが、この手法では、複数回アクセスの問題を回避するのが困難になる。

【0010】一方、BISTによる方法は、メモリ自体でメモリブロックへのアドレス信号の発生と書き込みデータの発生と比較とを自動的に行ってメモリブロックのテストを行う。しかし、メモリブロックの大容量化に伴って一層複雑なアドレスパターンによるテストの必要性がある場合には、複数個のメモリブロックのアドレス空間の違いが大きな問題となり、テスト時間の増大、ハードウェア(テスト回路)のオーバーヘッドの増大を招いてしまう。

【0011】

【発明が解決しようとする課題】上記のように従来の半導体集積回路は、同一チップ上に混載された互いにアドレス空間が異なる複数のメモリブロックをメモリブロックごとに分割してテストする必要があるため、テスト時間の増大、もしくはテスト回路やテストベクタの発生に大きな負担が発生するという問題があった。

【0012】本発明は上記の点に鑑みてなされたもので、同一チップ上に混載された互いにアドレス空間が異なる複数のメモリブロックを同時に、かつ、テストベクタの発生あるいはBISTのためのテスト回路にも何らの負担をかけずに精度よくテストし得る半導体集積回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、互いにアドレス空間が異なる書き込み/読み出し可能な複数個のメモリブロックおよびこれらのメモリブロックのアドレス選択を行うアドレスデコードを有する半導体集積回路において、上記メモリブロックに対するテストモード時には複数個のメモリブロックでアドレスの一部を共有すると共に、各メモリブロックのアドレススキャンを共通に行うアドレススキャン信号が、最大アドレス空間を有する第1のメモリブロック以外の第2のメモリブロックのアドレス幅を越える期間は第2のメモリブロックの書き込みを禁止する制御回路を具備することを特徴とする。

【0014】

【作用】上記各メモリブロックの通常動作モード時には、各メモリブロックに対応するアドレス信号入力に基づいてアドレス選択が行われ、それぞれの書き込み/読み出し動作が行われる。各メモリブロックに対するテストモード時には、複数個のメモリブロックのうちの最大アドレス空間を有するメモリブロックに対応するアドレス幅を有するアドレススキャン信号により第1のメモリブロックのアドレススキャンが行われ、その書き込み/読み出し動作が行われる。同時に、このアドレススキャン信号の一部によりアドレス空間が小さい方のメモリブロックのアドレススキャンが行われ、その書き込み/読み出し動作が行われる。この時、上記アドレススキャン信号が上記アドレス空間が小さい方のメモリブロックのアドレス幅を越える期間(このメモリブロックに関係のないアドレス空間を指定している期間)は、このメモリブロックの書き込み動作が禁止される。

【0015】これにより、アドレス空間が小さい方のメモリブロックに対する不要なメモリアccessを除外し、テストベクタの生成あるいはBIST手法を用いたテスト回路等に何ら負担をかけずに、同一チップ上に混載された互いにアドレス空間が異なる複数個のメモリブロックを同時に精度よくテストすることが可能になる。

【0016】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0017】図1は、第1実施例として、互いにアドレス空間が異なる書き込み/読み出し可能な複数個(本例では2個)のメモリブロックと例えばCPU(中央演算処理ユニット)などのロジック回路(図示せず)とが同一チップ上に混載された集積回路を示している。上記2個のメモリブロックA、Bは、例えばキャッシュメモリに

(4)

特開平4-229499

5

おけるタグ・バリッドビットメモリと複数ラインを持つデータメモリである。このメモリブロックA、Bのアドレス選択を行うために、アドレス信号A2~A4によりメモリブロックAの列アドレス選択を行う列デコーダ11と、アドレス信号A0~A4によりメモリブロックBの列アドレス選択を行う列デコーダ・ライン選択回路12と、アドレス信号A5~A6によりメモリブロックA、Bの行アドレス選択を共通に行う行デコーダ13とが設けられている。換言すれば、2個のメモリブロックA、Bは、アドレス信号A0~A6の一部A2~A6を共有しており、メモリブロックAはメモリブロックBよりもアドレス信号の一部A1、A0の分だけアドレス空間が狭い。また、上記メモリブロックAの書き込み/読み出しを行う書き込み/読み出し回路14、メモリブロックBの書き込み/読み出しを行う書き込み/読み出し回路15が設けられている。メモリブロックBの書き込み/読み出し回路15には、書き込み/読み出し制御信号入力がある。メモリブロックAの書き込み/読み出し回路14には、制御回路16から書き込み/読み出し制御信号が入力する。この制御回路16は、前記アドレス信号A0~A6の一部A1、A0および前記書き込み/読み出し制御信号入力およびモード指定信号が入力し、通常動作モード時には書き込み/読み出し制御信号入力をそのまま出力し、テストモード時にはアドレス信号の一部A1、A0をデコードし、このデコード結果に応じて書き込み/読み出し制御信号入力をそのまま出力したり、書き込み禁止制御信号（書き込み制御信号の反転信号、本例では読み出し制御信号）を出力するような論理回路により構成されている。即ち、この制御回路（本例ではデコード回路16と表示している）は、テストモード時には、アドレス信号A0~A6の一部A1、A0の組み合わせが所定のパターンの時（メモリ構成に応じて任意に決めるが、例えばA1、A0共に“0”の時）だけ書き込み/読み出し制御信号入力をそのまま出力し、A1、A0の組み合わせが上記所定のパターン以外の時（A1、A0のいずれか一方が“1”の時であり、メモリブロックAのアドレス幅を越えている、つまり、メモリブロックAに属さないアドレス空間を指定している場合に対応する。）には書き込み/読み出し制御信号入力をそのまま出力せず、書き込み禁止制御信号を出力する。

【0018】次に、図1の集積回路の動作について説明する。まず、各メモリブロックの通常動作モード時には、各メモリブロックA、Bに対応するアドレス信号入力に基づいてアドレス選択が行われ、それぞれの書き込み/読み出し動作が行われる。

【0019】これに対して、各メモリブロックに対するテストモード時には、メモリブロックA、Bは対応して図2A、図2Bに示すようにセルブロックの選択が行われる。即ち、2個のメモリブロックのうちの最大アドレス空間を有するメモリブロックBに対応するアドレス幅

6

を有するアドレススキャン信号A0~A6が入力すると、図2Bに示すようにメモリブロックBのアドレススキャンが行われ、その書き込み/読み出し動作が行われる。同時に、このアドレススキャン信号A0~A6の一部A2~A6により、図2Aに示すようにメモリブロックAのアドレススキャンが行われ、その書き込み/読み出し動作が行われる。この時、上記アドレススキャン信号A0~A6がメモリブロックAのアドレス幅を越える期間（メモリブロックAに属さないアドレス空間を指定している期間、本例ではA1、A0のいずれか一方が“1”の時）は、書き込み禁止制御信号によりメモリブロックAの書き込み動作が自動的に禁止され、多重アクセスが起こらなくなる。なお、テストモード時には、メモリブロックA、Bの読み出しデータ出力は例えば集積回路外部へ出力される。

【0020】これにより、メモリテストに際しては、単にメモリブロックBのアドレスを意識すればよく、メモリブロックAに対する不要なメモリアccessを除外し、テストベクタの生成に何ら負担をかけずに、複数のメモリブロックを同時に確度よくテストすることが可能になる。

【0021】なお、図1中のデコード回路16を省略し、メモリブロックAの書き込み/読み出し回路14に、通常動作モード時には書き込み/読み出し制御信号を入力し、テストモード時には書き込み/読み出し禁止制御信号を外部から入力するようにしてもよい。

【0022】また、メモリテストに際して、上記第1実施例よりも複雑なアドレスアクセスを行う場合でも本発明を適用することができる。

【0023】図3は、第2実施例として、互いにアドレス空間が異なる書き込み/読み出し可能な複数個（例えば2個）のメモリブロックと例えばロジック回路（図示せず）とが同一チップ上に混載された集積回路であって、通常動作モードではメモリブロックの各信号等が内部で閉じており、テストモード時のみ直接にメモリブロックにアクセスすることが可能な集積回路に本発明を適用した例を示している。ここで、Aはアドレス空間が小さい方のメモリブロック、31はこのメモリブロックAのアドレス選択を行うためのアドレスデコーダ、Bはアドレス空間が大きい方のメモリブロック、32はこのメモリブロックBのアドレス選択を行うためのアドレスデコーダであり、その他の部分は図1中と同一符号を付している。

【0024】この第2実施例によれば、第1実施例で述べたような効果が得られるほか、集積回路に混載されるメモリの容量が飛躍的に増大するのに伴ってその微細化が進み、汎用メモリと同じようなテストが必要とされる場合においても、テストベクタに負担をかけずに複数のメモリブロックの並列テストを実現することが可能になり、テスト時間短縮等の効率化を図ることができ、

(5)

特開平4-229499

7

大変有効である。

【0025】図4は、第3実施例として、互いにアドレス空間が異なる書き込み/読み出し可能な複数個（例えば2個）のメモリブロックと例えばロジック回路（図示せず）とが同一チップ上に混載された集積回路であって、複数個のメモリブロックは通常動作モード時にはアドレスを共有しない（換言すれば、それぞれ別々のアドレス信号によりアドレス選択される。）ような構成を持った集積回路に本発明を適用した例を示している。ここで、アドレス選択回路41は、モード指定信号により制御され、通常動作モード時にはアドレス空間が小さい方のメモリブロックA用のアドレス信号A2<sup>1</sup>、A3<sup>1</sup>を選択し、テストモード時には、アドレス空間が大きい方のメモリブロックBに対応するアドレス幅を有するアドレススキャン信号入力の一部A2、A3を選択し、選択出力をメモリブロックA用のアドレスデコーダ31に入力するものである。その他の部分は図3中と同一符号を付している。

【0026】この第3実施例によれば、一時的（テストモード時のみ）にアドレスの一部を共有することにより、第2実施例で述べたような効果が得られる。

【0027】図5は、第4実施例として、互いにアドレス空間が異なる書き込み/読み出し可能な複数個（例えば2個）のメモリブロックと例えばロジック回路（図示せず）とが同一チップ上に混載された集積回路であって、複数個のメモリブロックは通常動作モード時にはアドレスを共有せず、BIST手法を用いてメモリブロックのテストの容易化を図っているような構成を持った集積回路に本発明を適用した例を示している。ここで、自己テストアドレス発生回路50はテストモード時にアドレススキャン信号を発生するためのものである。アドレス選択回路51は、テストモード時に上記自己テストアドレス発生回路50からのアドレススキャン信号の一部を選択してメモリブロックA用のアドレスデコーダ31に入力するためのものである。アドレス選択回路52は、テストモード時に上記自己テストアドレス発生回路50からのアドレススキャン信号を選択してメモリブロックB用のアドレスデコーダ32に入力するためのものである。BISTデータ発生/比較器53は、自己テストデータを発生して書き込み/読み出し回路14および15に入力し、この書き込み/読み出し回路15および16からの読み出し出力を期待値と比較するためのものである。BIST制御回路54は、BIST制御信号および書き込み/読み出し制御信号が入力し、自己テストアドレス発生回路50にアドレス発生制御信号を出力し、前記アドレス選択回路51、52およびデコード回路16にテストモード信号を出力し、上記デコード回路16およびメモリブロックB用の書き込み/読み出し回路15に書き込み/読み出し制御信号を出力し、前記BISTデータ発生/比較器53との間でBISTデータ発生制御信号およ

8

び比較出力を入出力し、自己テスト結果を出力するためのものである。その他の部分は図3中と同一符号を付している。

【0028】この第4実施例によれば、BIST手法を用いてメモリブロックのテストの容易化を図っていると共に、テストモード時には複数個のメモリブロックでアドレスの一部の共有化を図っているため、メモリブロックの大容量化による一層複雑なアドレスパターンによるテストの必要性がある場合でも、BISTのハード的な制約やオーバーヘッドを抑え、テスト回路等に負担をかけずに複数個のメモリブロックの並列テストを実現することが可能になり、テスト時間短縮等の効率化を図ることができ、大変有効である。

【0029】

【発明の効果】上述したように本発明の半導体集積回路によれば、同一チップ上に混載された互いにアドレス空間が異なる複数のメモリブロックを同時に、しかも、複雑なアドレスアクセスを用いたようなテストもテストベクタの発生あるいはBISTのためのテスト回路に何らの負担をかけずに確度よくテストすることができる。このことは、従来はテスト時間を犠牲にしてメモリブロック毎に分割してしか確度の高いテストが行えなかったことと比べて、テスト時間短縮等の著しい効率化を図ることができ、大変有効である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体集積回路の一部を示すブロック図。

【図2】図1の集積回路のテストモード時におけるメモリブロックのアドレス信号とセルブロック選択との関係を示す図。

【図3】本発明の第2実施例に係る半導体集積回路の一部を示す図。

【図4】本発明の第3実施例に係る半導体集積回路の一部を示す図。

【図5】本発明の第4実施例に係る半導体集積回路の一部を示す図。

【図6】従来のキャッシュメモリを示すブロック図。

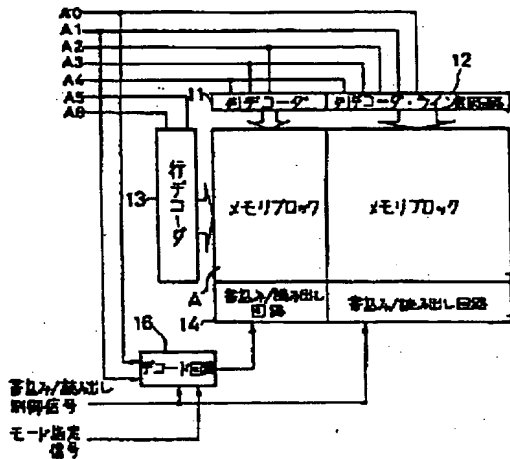
【図7】メモリテストベクトルの一例。

【図8】図7で示すベクトルによって図6のキャッシュメモリをテストした場合のメモリブロックのアドレス信号とセルブロック選択との関係を示す図。

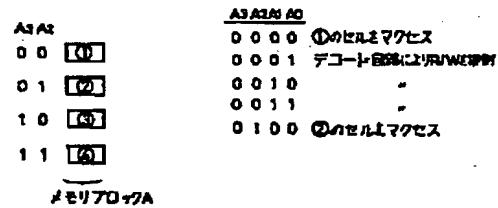
【符号の説明】

A、B…メモリブロック、11…列デコーダ、12…行デコーダ・ライン選択回路、13…行デコーダ、14、15…書き込み/読み出し回路、16…制御回路（デコード回路）、31、32…アドレスデコーダ、41、51、52…アドレス選択回路、50…自己テストアドレス発生回路、53…BISTデータ発生/比較器、54…BIST制御回路。

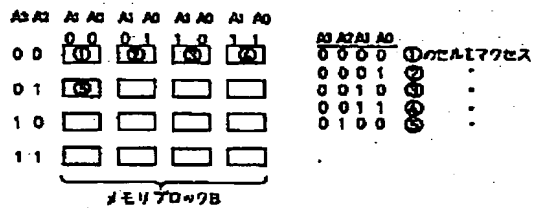
【図1】



【図2】

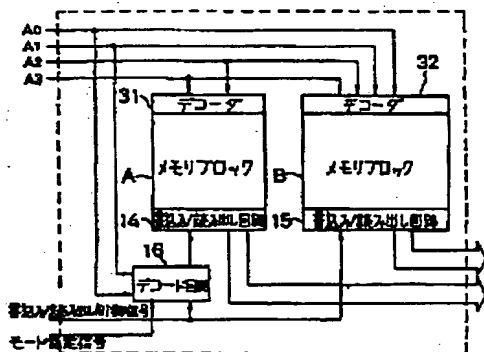


(A)

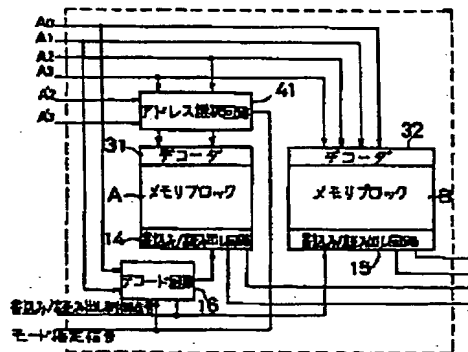


(B)

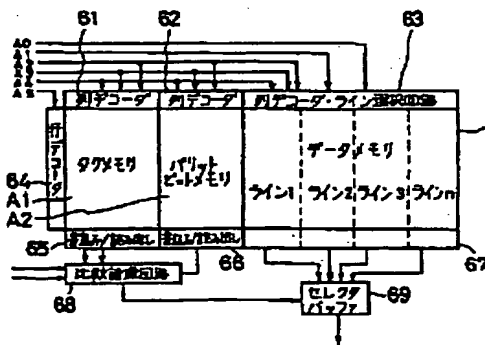
【図3】



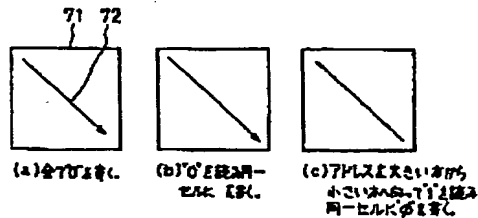
【図4】



【図6】



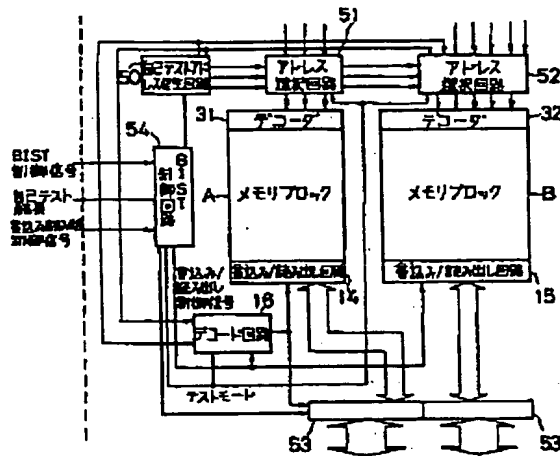
【図7】



(7)

特開平4-229499

【図5】



【図8】

A3	A2
0 0	①
0 1	②
1 0	③
1 1	④

アドレス空間のうち  
メモリブロックA1,A2

(A)

A3	A2	A1	A0	
0	0	0	0	① のセルアクセス
0	0	0	1	② -
0	0	1	0	③ -
0	0	1	1	④ -
0	1	0	0	⑤ -

A3	A2	A1	A0	A3	A2	A1	A0
0	0	0	0	①	②	③	④
0	1	0	0	⑤			
1	0						
1	1						

アドレス空間がA0,A1,A2,A3  
でメモリブロックB

(B)